

一种 16 位高速数模转换器(DAC)的设计与实现

孔 瀛^{1,2}, 王宗民², 许 军¹

(1 清华大学 微电子学研究所, 北京 100084; 2 北京微电子技术研究所, 北京 100076)

摘 要: 基于 Mixed-Signal CMOS 工艺, 设计了一种采用分段式电流舵结构的高速高精度 DAC. 电路设计中同时在该 DAC 的内部电路中采用了一种新的电流校准技术, 既保证了 DAC 电路的高精度, 又减小了梯度误差的影响. 电路流片后的实际测试结果表明, 该 16 位 DAC 在 400MSPS 转换速率下仍具有良好的性能.

关键词: 数模转换器(DAC); 自校准; 校准 DAC(CALDAC)

中图分类号: TN402

文献标识码: A

文章编号: 1000-7180(2011)06-0031-05

Design and Implementation of a 16-Bit High Speed Digital to Analog Converter (DAC)

KONG Ying^{1,2}, WANG Zong-min², XU Jun¹

(1 Institute of Microelectron, Tsinghua University, Beijing 100084, China;

2 Beijing Microelectronic Technique Institute, Beijing 100076, China)

Abstract: A high speed and high resolution DAC with segmented current-steering is presented here by using mixed-signal CMOS technology. Meanwhile, with a novel current calibration technique, it can guarantee the high resolution and reduce the effect of gradient mismatch. The tape-out circuit test results show that the 16-bit DAC achieve favorable performance at conversion rates up to 400MSPS.

Key words: Digital to Analog Converter (DAC); self-calibration; CALDAC

1 引言

随着微电子技术的快速发展, 数模转换器(DAC)作为连接数字世界和模拟信号之间的桥梁正发挥着越来越重要的作用, 而且现代计算机、无线通讯等信息产业的不断进步, 对 DAC 的速度、精度等性能指标也不断提出更高的要求.

为满足现代航天高科技产业对高速高精度 DAC 芯片的需求, 本文基于 Mixed-Signal(混合信号)CMOS 工艺技术, 设计了一个采用分段式电流舵结构的 16 位 400MSPS 的 D/A 转换器.

2 16 位 400MHz DAC 的系统构架

在目前常用的 DAC 结构中普遍采用的是电流

输出型 DAC, 这是因为电流输出有着速度快、电源利用率高、应用广泛、输出范围宽等特点, 使得该结构的 DAC 适合于高速高精度的设计要求.

要实现高速高分辨率的 DAC, 通常采用分段电流舵的结构, 即温度计码和二进制码相结合的控制结构. 温度计码具有优良的单调性但其复杂度、面积和功耗会随着位数的增加而急剧增大, 二进制码具有结构简单的特点但会影响 DAC 单调性和动态性能, 所以需要在面积、功耗、复杂度和性能之间进行折中. 本文所采用的分段电流舵 DAC 电路结构^[1]也是基于面积^[2]和电流源开关布线复杂性与电路性能之间的考虑, 我们首先 MATLAB 仿真工具仔细研究了温度计码和二进制码对整个电路系统性能的影响, 并确定了整个 DAC 转换器的分段比例, 即在

本论文所设计的 DAC 电路中采用了“7+4+5”的分段结构,其中高 7 位和中间 4 位分别采用单位电流源结构,而低 5 位则采用二进制加权电流源结构。

图 1 所示为基于上述分段电流舵而设计的 16 位 400 M DAC 的系统构架框图。该电路主要由

LVDS 模块、行译码与列译码模块、带隙基准源模块、校准模块、偏置电路、时钟分配驱动模块以及模拟开关与电流源阵列(包括二进制加权电流源和单位电流源两部分)等部分组成。

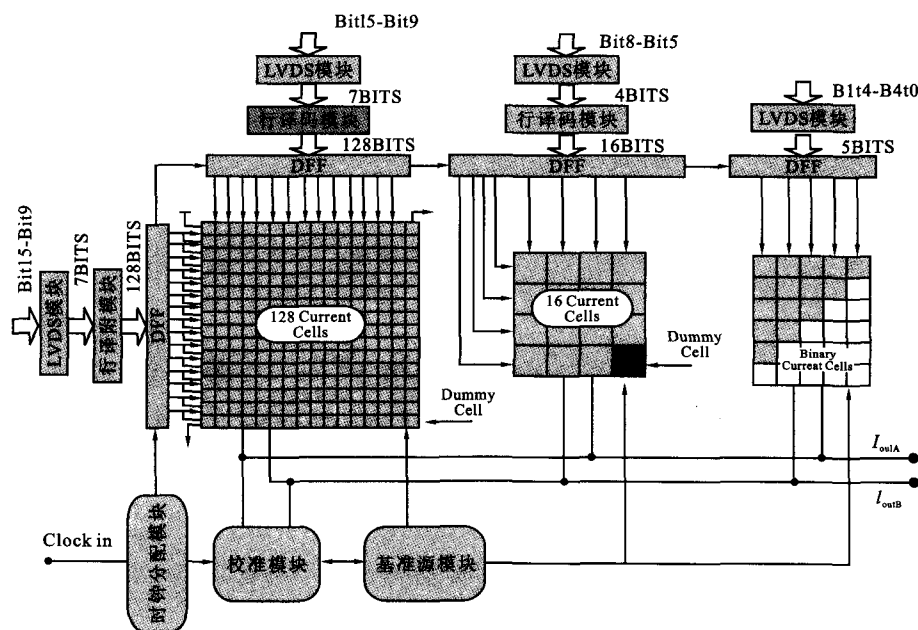


图 1 16 位 400M DAC 的功能结构框图

在图 1 中, Bit15—Bit0 首先通过 LVDS 接收器^[3]转化成标准的 CMOS 信号, 然后将其中的高 7 位二进制信号 Bit15—Bit9 通过译码器生成 127 路温度计码信号经控制线去控制电流源; 中间 4 位二进制信号 Bit8—Bit5 则通过译码器生成 15 路温度计码信号经控制线去控制输出电流源; 低 5 位二进制信号 Bit4—Bit0 则直接通过同步锁存逻辑(DFF)去控制 5 个二进制电流源。

带隙基准源模块为整个电路系统提供了一个几乎与环境温度以及电源电压无关的精准电压参考源。为了更好的与外部数据进行同步且确保转换器具有 16 bit 的精度, 电路设计中还采用了电流校准模块, 利用电流校准模块对高 7 位二进制信号 Bit15—Bit9 所控制的 127 个单位电流源进行必要的校准以确保其输出电流的准确性。

如图 1 所示, 电路输出电流的总量是由两部分相加而成, 即单位电流源和五个二进制加权电流相加组成。若最低位电流源的输出电流为 I_{LSB} , 则第二、三、四、五位的输出电流依次为: $2I_{LSB}$ 、 $4I_{LSB}$ 、 $8I_{LSB}$ 、 $16I_{LSB}$, 即每高一位的电流源输出电流分别为

低一位的 2 倍, 因此整个 DAC 低五位总电流输出为 $31I_{LSB}$, 而高 7 位所控制的 127 个电流源中的每个电流源的输出电流由下式给出:

$$I_{unit} = 512 I_{LSB} \quad (1)$$

由此可得到该 DAC 能够输出的总电流为

$$I_{total} = I_{LSB} + 2I_{LSB} + 4I_{LSB} + 8I_{LSB} + 16I_{LSB} + 32I_{LSB} + \dots + 127 \times 512I_{LSB} = 65\,535 I_{LSB} \quad (2)$$

在图 1 中, I_{outA} 和 I_{outB} 分别为 DAC 的两个互补的电流输出端, 当所有输入的二进制信号都为低电平时, 有 $I_{outA} = 0$, $I_{outB} = I_{total}$ 。而当所有输入二进制信号均为高电平时, 则有 $I_{outA} = I_{total}$, $I_{outB} = 0$, 至于其他的情况则可以根据下面两个公式求得

$$I_{outA} = (\text{DAC INPUT CODE} / 65\,535) \times I_{total} \quad (3)$$

$$I_{outB} = (65\,535 - \text{DAC INPUT CODE} / 65\,535) \times I_{total} \quad (4)$$

在上述两式中, $\text{DAC INPUT CODE} = 0 \sim 65\,535$ 。 I_{LSB} 和 I_{unit} 的大小通常由基准电压源和电流输出管的尺寸来共同决定。在典型应用中, 该 DAC 的差分输出电流可以直接驱动电阻负载 R_{LOAD} , 由此

在 R_{LOAD} 上产生出一对互补的输出电压 $V_{OUT A}$ 和 $V_{OUT B}$, 其数值分别由以下两式给出:

$$V_{OUT A} = I_{out A} \times R_{LOAD} \quad (5)$$

$$V_{OUT B} = I_{out B} \times R_{LOAD} \quad (6)$$

最后总的差分输出电压为

$$V_{DIFF} = (I_{out A} - I_{out B}) \times R_{LOAD} \quad (7)$$

上式可以充分体现出该 DAC 差分输出所具有的优点,一方面采用差分输出的电路结构可以最大限度地消除单端模式下可能带来的电路噪声、失调、失真等因素的影响,另一方面采用双端差分输出信号还能够将提供给负载的输出信号幅度提高一倍。

3 校准电路设计

长期以来,由于 CMOS 工艺中存在匹配误差,完全依靠工艺本征匹配实现电流型 CMOS DAC 将很难超过 10 位精度,同时 DAC 的动态特性也会随着时钟频率和信号频率的增加而变差^[4-5]。

通过减小寄生电容、缩短建立时间仍是 DAC 电路中动态特性最直接有效的方法。但是为了保证 DAC 静态特性,减少梯度误差和随机失配就需要增大晶体管尺寸和复杂的布局,这样就会增大寄生电容和电阻,在提高静态特性的同时会限制 DAC 采样率和高频性能。

为了能够较好解决上述问题,我们可以采用校准技术,既能在保证电路高精度的同时减小电流源矩阵在 DAC 中所占的面积,又缓解了电路对版图和工艺的严格要求。因此,校准技术在保证 DAC 静态特性的同时能有效提高动态特性,同时不降低电路对工艺、温度的敏感性,保证 DAC 长期稳定的工作。

本文采用了一种新的适合高精度、高速度 DAC 电路的自校准技术。这种自校准技术能够有效的校正各个电流源的失配,并降低对电流源输出电阻的要求。图 2 所示为我们采用的数字自校准方案的流程图。从该流程图中可见,在这个自校准的过程中,我们首先将待校准量与参考值进行比较,比较后的结果经一个 ADC 转换后存储到静态数据存储器(RAM)中,由此形成一个唯一对应的数字校准信号再送到一个校准的 DAC 中,最后完成待校准量的自校准。

图 3 所示为实现上述自校准过程的电路原理图,为了保证整个 DAC 电路具有 16 位的线性度,芯片设计中内置了 132 个用来校准电流源输出线性度的 DAC,它们分别是图中的 127 路高 7 位电流源,1

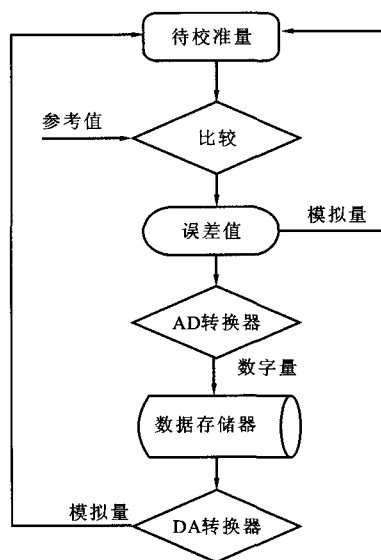


图2 自校准流程图

路低 9 位的总电流源和 4 路用于调整输出增益的电流源,另外还有一路基准电流源。当进行自校准时,开关的行列选择电路将每一路电流源按顺序选通到比较器的输入端和基准电流源进行比较,比较后的结果经数字逻辑处理后将 6 位数字信号输入到相应的校准 DAC 的 6 个输入端。每路电流源都有一个校准 DAC 与其唯一对应,当选择相应电流源时也就对应选上了相应的校准 DAC,选择 DAC 也需要相应的行列选择电路进行按顺序的选定。当一路电流源完成校准后,其唯一对应的校准 DAC 的 6 位数字值也已经确定并存在了静态存储器中,也就是所需调整的电流量已经加在了相应的电流源上。高 7 位中的每路电流源都有一个校准 DAC 来进行输出电流调整,低 9 位则是进行整体的电流调整,高 7 位和低 9 位电流源输出的电流经校准 DAC 校准后通过模拟开关阵列最终输出到差分电流输出端。另外还有 4 路电流源是用于设定整个电路输出电流范围的,这 4 路电流源经相应的 4 个增益校准 DAC 校准后,其总输出电流流过电阻 RESET 后可调整整个 DAC 的输出电流增益。

图 4 给出了上述自校准过程的仿真波形,从图中的仿真结果我们可以看到,待校准电流源的输出在不断趋近基准电流源的输出,并且这个过程在不断的重复,直至所有的电流源均校准完毕为止。所有校准完毕的电流源最后经电流源开关阵列输出到差分电流输出端,这样就完成了整个电流源的校准过程。通过上述自校准过程,既保证了整个电路输出的线性度,同时也调整了电路输出的增益误差,优化了

输出特性.

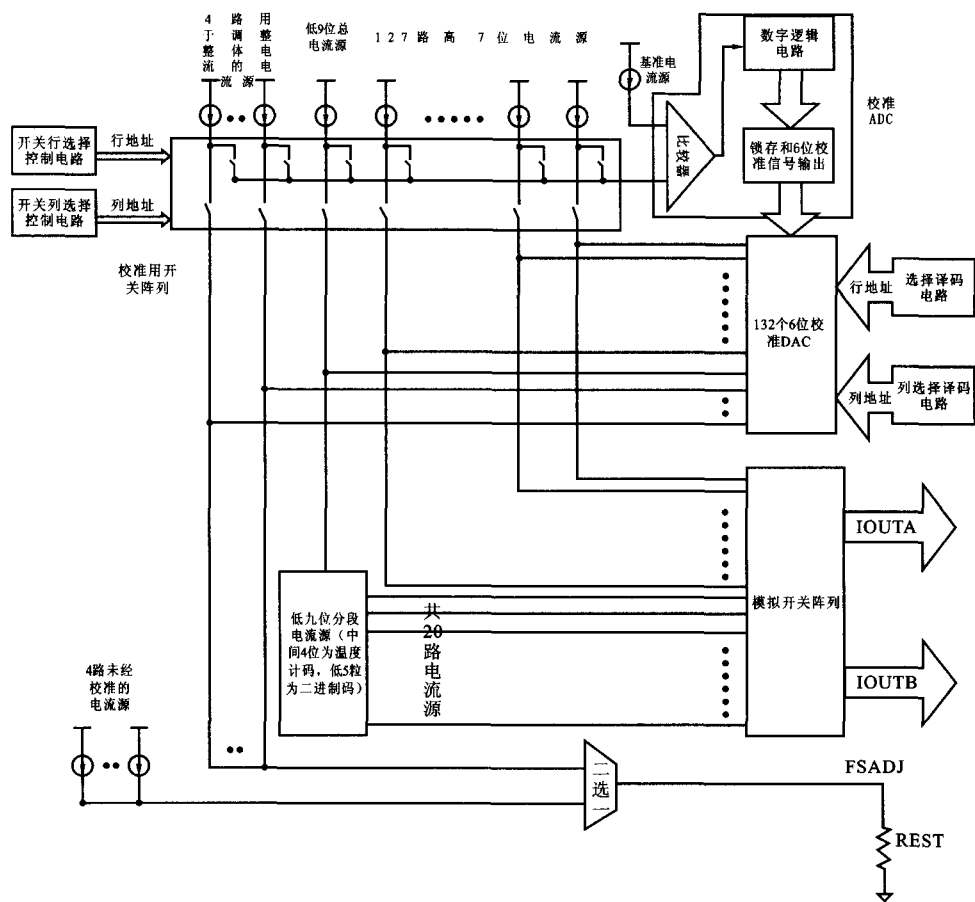


图 3 自校准电路原理图

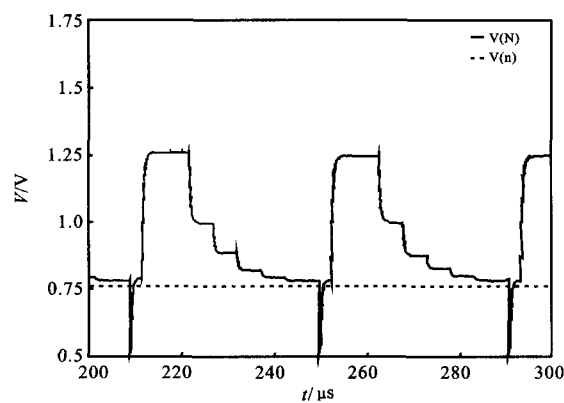


图 4 校准过程仿真波形图

4 测试结果

基于 $0.25\text{ }\mu\text{m}$ 混合信号 CMOS 工艺技术,并采用上述自校准电路设计方案,完成了一个采用分段式电流舵结构的 16 位 400MSPS 的 D/A 转换器芯片的版图设计,如图 5 所示,该电路芯片尺寸为 $4.9\text{ mm}\times 4.9\text{ mm}$,整个 DAC 电路一共有 110 个压焊块. 目前该电路已经成功完成工艺流片,电路测试评

估板的实物照片如图 6 所示.

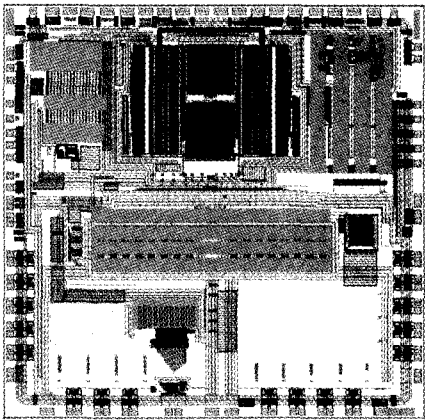


图 5 DAC 芯片的版图示意图

对封装后的 DAC 电路进行的初步测试结果表明,该 DAC 电路工作正常. 图 7 为系统不带校准的实测 SFDR,图 8 为系统带校准后的实测 SFDR. 可见经过自校准后,电路的 SFDR 提升了十几个分贝,并且谐波也明显减小.

对该 DAC 芯片还进行了其他各项指标的测

试,电路在 400 MHz 时钟频率下经过自校准后的测试结果如表 1 所示. 由表中各项测试数据可见,该芯片的各项性能参数指标优异,表明整个 DAC 芯片的性能良好.

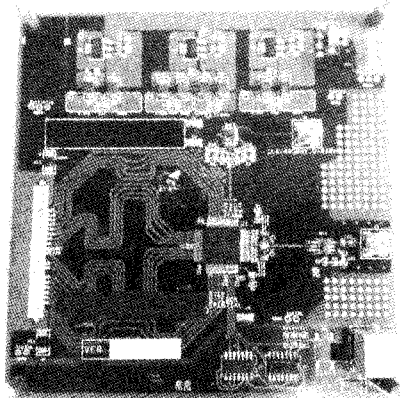


图 6 电路测试评估板

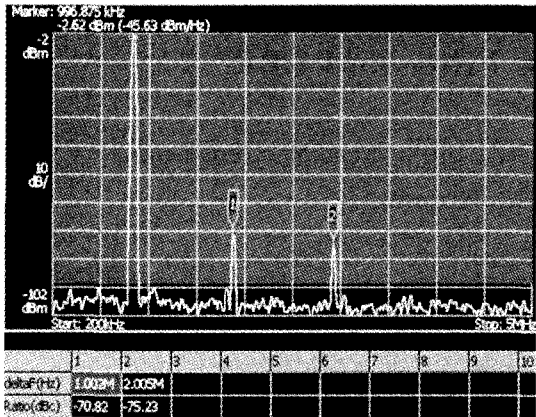


图 7 系统的 SFDR 结果图(不带校准)

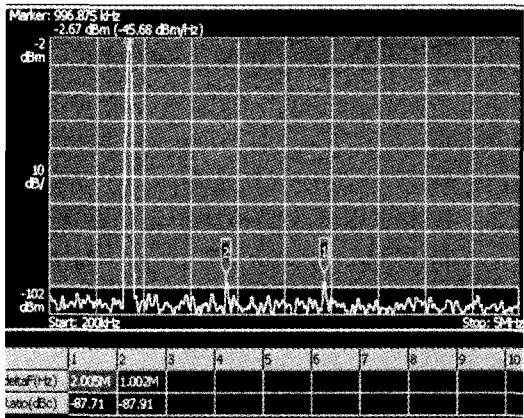


图 8 系统的 SFDR 结果图(带校准)

模转换器(DAC). 文中的 DAC 电路采用分段式电流舵结构,其时钟的采样频率为 400 MHz,分辨率为 16 Bit. 电路设计中还采用了电流校准技术,既保证了 DAC 电路的高精度,也减小了梯度误差的影响. 实际流片后的测试结果表明,自校准技术的采用可使 DAC 电路的精度和性能得到大幅度的提升,芯片的输出谐波也明显减小. 本 DAC 产品是我们的高速高精度 DAC 电路研制方面的一次尝试,它的研制成功为我们今后研制开发性能更加优异的数模转换器产品打下了良好的技术基础.

表 1 400 MHz 时钟下,自校准后的转换测试结果统计表

参数	测试结果
总谐波失真 TOTAL HARMONIC DISTORTION (THD)	
测试条件: $f_{\text{DAC}}=400\text{ MHz}$, $f_{\text{OUT}}=1\text{ MHz}$	
总谐波失真	-86.62 dBc
无杂散动态范围 SPURIOUS-FREE DYNAMIC RANGE (SFDR)	
测试条件: $f_{\text{DAC}}=400\text{ MHz}$	
$f_{\text{OUT}}=20\text{ MHz}$	80.68 dBc
$f_{\text{OUT}}=70\text{ MHz}$	66.5 dBc
$f_{\text{OUT}}=140\text{ MHz}$	52.91 dBc
功耗 POWER DISSIPATION(PD)	
测试条件: $f_{\text{DAC}}=400\text{ MHz}$, $f_{\text{OUT}}=1\text{ MHz}$	
功耗	600 mW

参考文献:

[1] Jose Bastos, Augusto M Marques, Michel S J. Steyaert and willy sansen a 12-bit intrinsic accuracy high-speed CMOS DAC[J]. IEEE Journal of Solid-State Circuits, 1998,33(12):1959-1960.

[2] Chi-Hung Lin, Klaas Bult. A 10-b, 500-M, sample/s CMOS DAC in 0.6mm²[J]. IEEE Journal of Solid-State Circuits, 1998,33(12):1948-1998.

[3] 赵耀华,陆铁军,王宗民. 基于 VLSI 的高速 LVDS 接口电路设计[J]. 微电子学与计算机, 2009, 26(11): 78-81.

[4] Bugeja A R, Song B. A 14b, 100Ms/s CMOS DAC designed for spectral performance[J]. IEEE Journal Solid-state Circuits, 1999(34):1719-1731.

[5] Bugeja A R, Song B. A self-trimming 14b, 100Ms/s CMOS DAC[J]. IEEE Journal Solid-state Circuits, 2000(35):1841-1852.

作者简介:

孔 瀛 男, (1979-), 硕士研究生. 研究方向为高速高精度数模转换器的设计.

5 结束语

基于 0.25 μm Mixed-Signal CMOS 制造工艺, 本文设计并实现了一个高速高精度单片集成化的数